



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0084154

Application Number

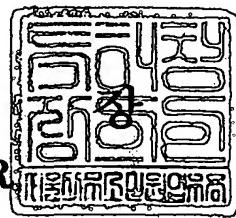
출 원 년 월 일 : 2002년 12월 26일  
Date of Application DEC 26, 2002

출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.19
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0084154
【출원일자】	2002.12.26
【심사청구일자】	2003.03.19
【발명의 명칭】	반도체 메모리 장치 및 그 제조 방법
【제출원인】	
【접수번호】	1-1-02-0430015-65
【접수일자】	2002.12.26
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

1020020084154

출력 일자: 2003/5/15

【첨부서류】

1. 보정내용을 증명하는 서류[발명의상세한설명, 도면 보정]\_1통

【보정대상항목】 식별번호 37

【보정방법】 정정

【보정내용】

여기서, 라인 패턴(46a, 46b)은 비트라인 등의 전도 패턴을 나타내며, 기판(40)과 접촉되는 전도층(43)과 전도층(43) 상부에 적층된 하드마스크(44)와 전도층(43) 및 하드마스크(44) 측벽에 배치된 스페이서(45)를 포함한다.

【보정대상항목】 식별번호 38

【보정방법】 정정

【보정내용】

전도층(43)은 W 또는 TiN 등을 사용하여 형성되고, 하드마스크(44)와 스페이서(45)는 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 사용하여 형성된다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

이어서, 셀영역(41) 만을 마스킹하도록 주변회로영역(42) 오픈 마스크(도시하지 않음)를 형성한 다음, 주변회로영역(42) 오픈 마스크를 식각마스크로 사용하여 주변회로영역(42)의 절연막(47)과 하드마스크(44)를 제거한 다음, 포토레지스트 스트립(Photo resist strip) 공정을 실시하여 주변회로영역(42) 오픈 마스크를 제거한다.

**【보정대상항목】** 식별번호 46

**【보정방법】** 정정

**【보정내용】**

이어서, 전면에 전도성 물질을 얇게 증착한 다음, 전면식각을 실시하여 주변회로영역(42)과 인접하는 셀영역(41)의 절연막(47) 측벽과 주변회로영역(42) 측벽에 전도성 스페이서(48)를 형성한다.

**【보정대상항목】** 식별번호 50

**【보정방법】** 정정

**【보정내용】**

전면에 포토레지스트를 도포한 다음, 포토리소그라피 공정을 실시하여 셀콘택을 위한 마스크인 포토레지스트 패턴(49)을 형성한 후, 포토레지스트 패턴(49)을 식각마스크로 셀영역(41)에서 라인 패턴(46a) 사이의 기판(40) 구체적으로, 기판(40) 상에 형성된 전도층 또는 불순물접합층을 노출시키는 셀 콘택홀(50)을 형성한다. 도 4c는 셀 콘택홀(50)이 형성된 공정 단면을 나타낸다.

**【보정대상항목】** 식별번호 51

**【보정방법】** 정정

**【보정내용】**

셀 콘택홀(50)을 매립하도록 플러그 형성용 전도성 물질을 증착한 다음, 평탄화 공정을 실시하여 절연막(47) 사이에 매립되며 기판(40)에 콘택된 플러그(51)를 형성한 후, 포토레지스트 패턴(49)을 제거한다.

【보정대상항목】 식별번호 52

【보정방법】 정정

【보정내용】

이어서, 셀영역(41)에서 캐패시터(52) 형성 공정을 실시하는 바, 그 구체적인 형성 공정은 생략한다. 한편 본 실시예에서는 오목형 캐패시터가 형성되어 있다.

【보정대상항목】 식별번호 53

【보정방법】 정정

【보정내용】

전술한 바와 같은 셀영역(41)에서의 캐패시터(52) 형성시 주변회로영역(42)에서는 그 두께가 10000Å 이상인 절연막(53)이 형성되며, 절연막(53)은 HDP 산화막, BSG막, BPSG막 또는 PSG막 등이 다층 구조로 형성된 것을 포함한다.

【보정대상항목】 식별번호 54

【보정방법】 정정

【보정내용】

절연막(53) 상에 포토레지스트를 도포한 다음, ArF 또는 KrF 등의 노광원을 이용한 사진식각 공정을 통해 주변회로영역(42)에서 라인 패턴(46)의 파워 라인 연결을 위해 콘택홀 예컨대, 비아홀 형성을 위한 포토레지스트 패턴(54)을 형성 한다.

**【보정대상항목】** 식별번호 56

**【보정방법】** 정정

**【보정내용】**

이어서, 포토레지스트 패턴(54)을 식각마스크로 절연막(53)을 식각하여 라인 패턴(46b)의 전도층(43)을 노출시키는 깊은 콘택홀(55)을 형성한다.

**【보정대상항목】** 식별번호 57

**【보정방법】** 정정

**【보정내용】**

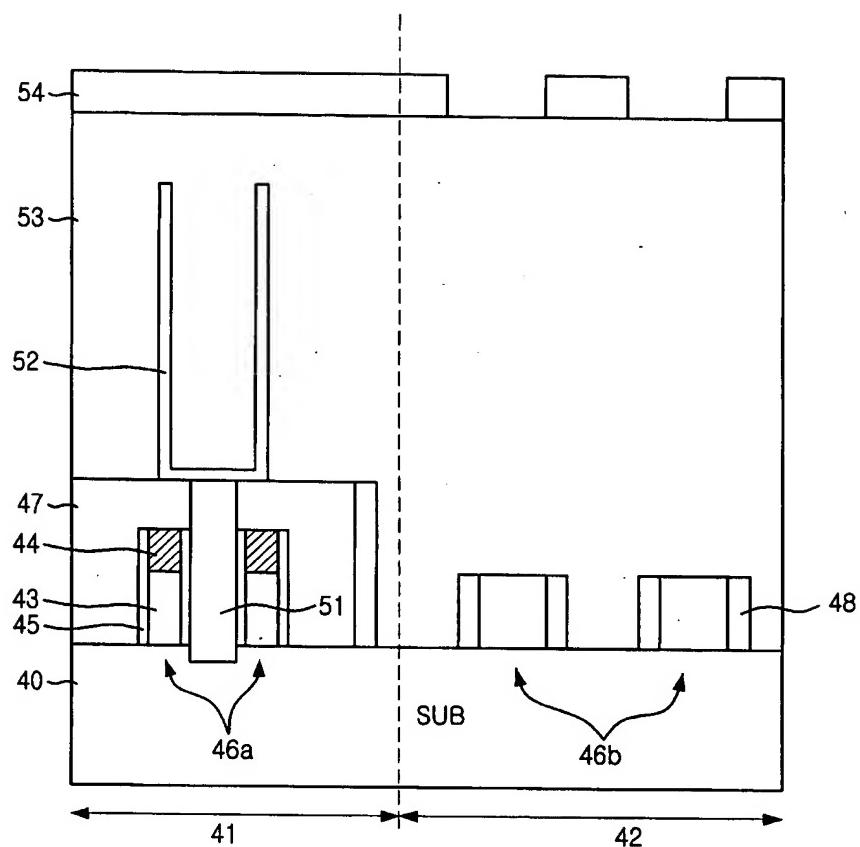
한편, 본 실시예에서는 주변회로영역(42)에서 라인 패턴(46b)의 측벽에 전도성 스페이서(48)를 형성하기 때문에 라인 패턴(46b)의 실질적인 폭은 전도성 스페이서(48) 두께의 2배에 해당하는 만큼 증가한다. 따라서, 깊은 콘택홀(55) 형성을 위한 포토레지스트 패턴(52)의 포토리소그라피 공정시 오정렬이 발생하더라도 도면부호 '56'에 도시된 바와 같이, 전도성 스페이서(48)로 인해 후속 콘택 면적은 감소하지 않아 콘택 저항의 증가를 방지할 수 있다.

【보정대상항목】 도 4d

【보정방법】 정정

【보정내용】

【도 4d】

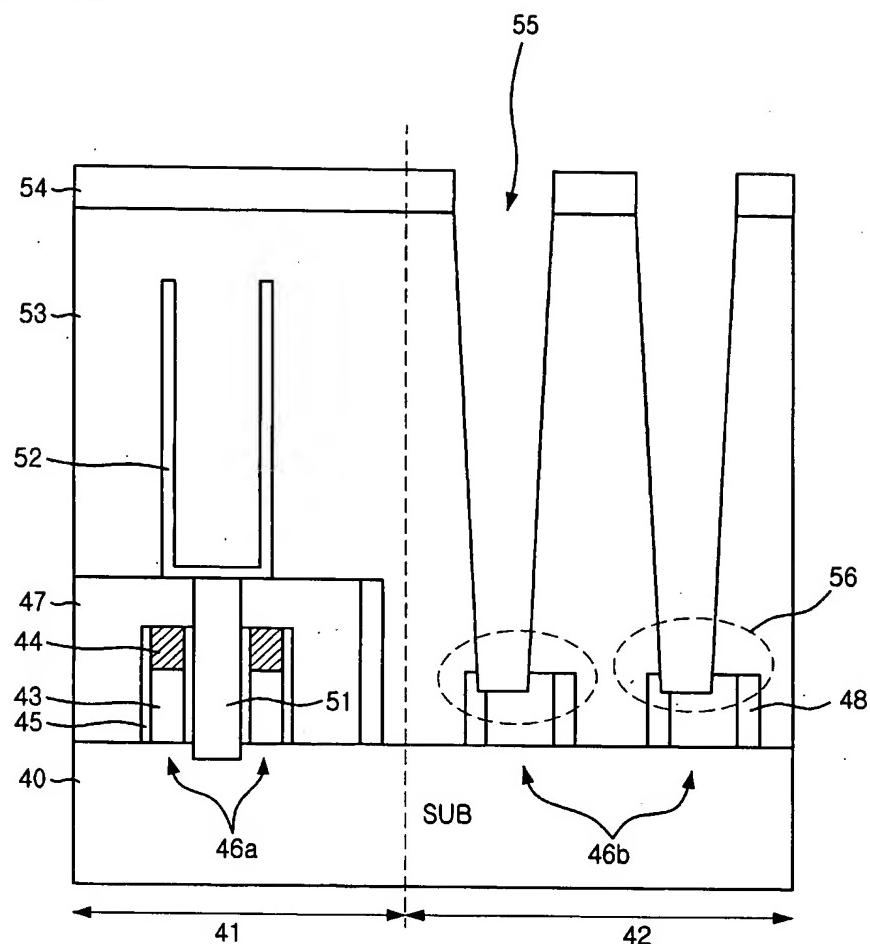


【보정대상항목】 도 4e

【보정방법】 정정

【보정내용】

【도 4e】



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0035		
【제출일자】	2002.12.26		
【발명의 명칭】	반도체 메모리 장치 및 그 제조 방법		
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR FABRICATION THEREOF		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	이성권		
【성명의 영문표기】	LEE, Sung Kwon		
【주민등록번호】	640301-1268621		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	30,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 주변회로영역에서의 라인 패턴 간의 브릿지 발생을 억제하고, 공정 마진을 향상시킬 수 있는 반도체 메모리 장치 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 셀영역; 상기 셀영역에 인접한 주변회로영역; 및 상기 셀영역 및 상기 주변회로영역에 형성된 복수의 라인 패턴을 포함하며, 상기 주변회로영역에서 상기 라인 패턴의 폭과 상기 라인 패턴 간의 거리의 비가 1:1.05 내지 1:1.30인 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

또한, 본 발명은, 셀영역과 주변회로영역을 갖는 반도체 메모리 장치의 제조 방법에 있어서, 상기 셀영역 및 상기 주변회로영역에 전도층과 절연성 하드마스크가 적층된 복수의 라인 패턴을 형성하는 단계; 상기 주변회로영역의 상기 절연성 하드마스크를 제거하는 단계; 상기 절연성 하드마스크가 제거된 상기 주변회로영역의 라인 패턴 측벽에 전도성 스페이서를 형성하는 단계; 상기 복수의 라인 패턴을 포함하는 기판 전면에 절연막을 형성하는 단계; 상기 절연막 상에 상기 주변회로영역의 상기 전도층을 노출시키는 콘택홀을 형성하기 위한 포토레지스트 패턴을 형성하는 단계; 및 상기 포토레지스트 패턴을 식각마스크로 상기 절연막을 식각하여 상기 전도층을 노출시키는 깊은 콘택홀을 형성하는 단계를 포함하는 반도체 메모리 장치 제조 방법을 제공한다.

**【대표도】**

도 4a

1020020084154

출력 일자: 2003/5/15

【색인어】

셀영역, 주변회로영역, 라인, 스페이스, 라인 패턴, 깊은 콘택홀(Deep contact hole), 셀효율.

**【명세서】****【발명의 명칭】**

반도체 메모리 장치 및 그 제조 방법{SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR FABRICATION THEREOF}

**【도면의 간단한 설명】**

도 1은 반도체 메모리 장치를 개략적으로 도시한 평면도.

도 2는 셀영역과 주변회로영역에 라인 패턴을 형성된 반도체 메모리 장치를 도시한 단면도.

도 3은 주변회로영역에서 깊은 콘택홀이 형성된 반도체 메모리 장치를 개략적으로 도시한 단면도.

도 4a 내지 도 4e는 본 발명의 일실시예에 따른 깊은 콘택홀 형성 공정을 도시한 단면도.

\*도면의 주요 부분에 대한 부호의 설명

40 : 기판      41: 셀영역

42 : 주변회로영역      43 : 전도층

44 : 하드마스크      45 : 스페이서

46a, 46b : 라인 패턴      L : 라인

S : 스페이스

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 장치에 관한 것으로, 특히 주변회로영역에서의 공정 마진을 향상 시킬 수 있는 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.
- <12> 도 1은 반도체 메모리 장치를 개략적으로 도시한 평면도이다.
- <13> 도 1을 참조하면, 반도체 메모리 장치(100)는 크게 4개의 셀영역(101a ~ 101d)과 그 주변의 주변회로영역(102)으로 이루어진다.
- <14> 한편, 전술한 반도체 메모리 장치 예컨대, 디램(DRAM)의 셀효율은 통상적으로 60% ~ 70% 내외이다. 셀효율이란 전체 영역(셀영역 및 주변회로영역)에서 셀영역이 차지하는 면적의 비율이다. 통상적으로 주변회로영역(102)의 디자인룰(Design rule)은 셀영역의 디자인룰에 비해 10% ~ 30% 정도 패턴 밀도가 낮게 설계한다.
- <15> 도 2는 셀영역과 주변회로영역에 라인 패턴을 형성된 반도체 메모리 장치를 도시한 단면도이다.
- <16> 도 2를 참조하면, 기판(SUB) 상에 복수의 라인 패턴(103a, 103b) 예컨대, 비트라인 이 셀영역(101)과 주변회로영역(102)에 각각 형성되어 있다. 라인 패턴(103a, 103b)은 전도층(10)과 하드마스크(11) 및 그 측벽의 스페이서(12)로 구성된다.
- <17> 한편, 셀효율을 높이기 위해서는 주변회로영역(102)의 디자인룰은 거의 동일 수준으로 가져가야 한다. 즉, 종래의 경우 라인(L)과 스페이스(S)의 비를 1:1로 가져간다.

- <18> 하지만, 이럴 경우 주변회로영역(102)에서 라인 패턴(103b) 간의 스페이싱(Spacing) 즉, 스페이스(S)가 부족하여 라인 패턴(103b) 형성을 위한 식각 공정에서 발생된 스컴(Scum)성 잔류물 또는 셀영역(101)과 주변회로영역(102) 간의 로딩>Loading) 현상으로 인해 발생하는 스트링거(Stringer)에 의한 이웃하는 라인 패턴(103b)의 전도층(10) 간의 브릿지(Bridge, 104)가 발생한다.
- <19> 한편, 주변회로영역(102)에서의 패턴 밀도가 높아지게 되면, 깊은 콘택홀(Deep contact hole) 형성시에도 문제가 발생한다.
- <20> 도 3은 주변회로영역에서 깊은 콘택홀이 형성된 반도체 메모리 장치를 개략적으로 도시한 단면도이다.
- <21> 도 3을 참조하면, 도 2와 같이 복수의 라인 패턴(103a, 103b)이 형성된 전면에 절연막(13, 14)이 형성되어 있고, 셀영역(101)에서는 플러그(18)를 통해 기판(SUB)의 소스/드레인 접합(도시하지 않음)과 전기적으로 도통된 캐패시터(15)가 형성되어 있으며, 주변회로영역(102)에서는 절연막(14) 상에 깊은 콘택홀 형성을 위한 포토레지스트 패턴(16)이 형성되어 있다.
- <22> 포토레지스트 패턴(16)을 식각마스크로 절연막(14)을 식각하여 라인 패턴(103b)의 전도층(10)을 노출시키는 깊은 콘택홀(19)이 형성되어 있다.
- <23> 한편, 반도체 공정 기술의 미세화가 가속화됨에 따라 좁은 면적에서 셀 캐패시턴스를 높이기 위해 셀영역(101)에서 캐패시터(15)의 수직 높이는 증가하게 된다. 이로 인해 주변회로영역(102)에서의 절연막(14)의 높이는 계속 증가하게 된다.

<24> 따라서, 깊은 콘택홀(19) 형성시 식각 타겟은 증가하게 되며, 콘택 식각 공정에서 오버랩 마진이 부족하게 되며, 약간의 오정렬(Mis-alignment)이 발생하더라도 도면부호 '17'과 같이 라인 패턴(103b)이 전도층(10)과 콘택되는 면적이 감소하게 된다. 콘택 면적의 감소는 또한 콘택 저항을 증가시키는 원인이 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 주변회로 영역에서의 라인 패턴 간의 브릿지 발생을 억제하고, 공정 마진을 향상시킬 수 있는 반도체 메모리 장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<26> 상기의 목적을 달성하기 위한 본 발명은, 셀영역; 상기 셀영역에 인접한 주변회로 영역; 및 상기 셀영역 및 상기 주변회로영역에 형성된 복수의 라인 패턴을 포함하며, 상기 주변회로영역에서 상기 라인 패턴의 폭과 상기 라인 패턴 간의 거리의 비가 1:1.05 내지 1:1.30인 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

<27> 또한, 상기의 목적을 달성하기 위한 본 발명은, 셀영역과 주변회로영역을 갖는 반도체 메모리 장치의 제조 방법에 있어서, 상기 셀영역 및 상기 주변회로영역에 전도층과 절연성 하드마스크가 적층된 복수의 라인 패턴을 형성하는 단계; 상기 주변회로영역의 상기 절연성 하드마스크를 제거하는 단계; 상기 절연성 하드마스크가 제거된 상기 주변회로영역의 라인 패턴 측벽에 전도성 스페이서를 형성하는 단계; 상기 복수의 라인 패턴

을 포함하는 기판 전면에 절연막을 형성하는 단계; 상기 절연막 상에 상기 주변회로영역의 상기 전도층을 노출시키는 콘택홀을 형성하기 위한 포토레지스트 패턴을 형성하는 단계; 및 상기 포토레지스트 패턴을 식각마스크로 상기 절연막을 식각하여 상기 전도층을 노출시키는 깊은 콘택홀을 형성하는 단계를 포함하는 반도체 메모리 장치 제조 방법을 제공한다.

<28> 본 발명은, 반도체 메모리 장치의 주변회로영역에서의 라인과 스페이스 간의 비율을 셀영역과 다르게 느슨하게(Loose)하여 라인 패턴 형성에 따른 브릿지 발생을 방지하며, 주변회로영역에서의 깊은 콘택홀 형성 공정에서 공정 마진을 향상시키고자 한다.

<29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명한다.

<30> 도 4a 내지 도 4e는 본 발명의 일실시예에 따른 깊은 콘택홀 형성 공정을 도시한 단면도이다.

<31> 도 4a는 셀영역과 주변회로영역에서 각각의 라인과 스페이스간의 비율이 다른 복수의 라인 패턴이 형성된 공정 단면을 나타낸다.

<32> 도 4a를 참조하면, 본 발명의 반도체 메모리 장치는 셀영역(41)과 주변회로영역(42)으로 이루어져 있으며, 이들 영역에는 각각 라인 패턴들(46a, 46b)이 일정 간격으로 배치되어 있다.

- <33> 셀영역(41)에서는 통상의 반도체 메모리 장치에서 사용하는 방식인 라인(L, 라인 패턴(46a)의 폭)과 스페이스(S, 라인 패턴(46b) 간의 간격(스페이싱))의 비를 1:1로 하는 반면, 주변회로영역(42)에서는 라인(L)과 스페이스(S) 간의 비를 1:1.05 ~ 1:1.30으로 한다.
- <34> 즉, 라인(L)에 비해 스페이스(S)를 5% ~ 30% 더 크게 한다.
- <35> 따라서, 주변회로영역(42)에서 라인 패턴(46b) 형성시 스컴과 스트링거 등에 의한 라인 패턴(46b) 간의 브릿지를 방지할 수 있다.
- <36> 한편, 주변회로영역(42)에서의 라인 패턴(46b)의 폭과 셀영역(41)에서의 라인 패턴(46a)의 폭의 비 즉, 셀영역(41)과 주변회로영역(42) 간의 라인(L) 비는 1:1 ~ 1:1.3 정도이다.
- <37> 여기서, 라인 패턴(46a, 46b)은 비트라인 등의 전도 패턴을 포함하며, 기판(40)과 접촉되는 전도층(43)과 전도층(43) 상부에 적층된 하드마스크(44)와 전도층(43) 및 하드마스크(44) 측벽에 배치된 스페이서(45)를 포함한다.
- <38> 전도층(43)은 W 또는 TiN 등을 포함하고, 하드마스크(44)와 스페이서(45)는 실리콘 질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 사용한다.
- <39> 도 4a의 단면 형성 공정을 구체적으로 살펴 본다.
- <40> 먼저, 반도체소자를 이루기 위한 여러요소가 형성된 기판(40) 상에 전도성 물질과 질화막 계열의 물질을 차례로 증착한 다음, 라인 패턴 형성을 위한 마스크 패턴을 이용한 선택적 식각 공정을 실시하여 셀영역(41)과 주변회로영역(42)에 각각 복수의 라인 패턴(46a, 46b)을 형성한다.

- <41> 이 때, 전술한 바와 같이 셀영역(41)에서는 통상의 반도체 메모리 장치에서 사용하는 방식인 라인(L)과 스페이스(S)의 비를 1:1로 하는 반면, 주변회로영역(42)에서는 라인(L)과 스페이스(S) 간의 비를 1:1.05 ~ 1:1.30으로 한다.
- <42> 이어서, 질화막 계열의 물질을 증착하고 전면식각하여 각 라인 패턴(46a, 46b) 측벽에 스페이서(45)를 형성한다.
- <43> 이어서, 복수의 라인 패턴(46a, 46b)이 형성된 전면에 산화막 계열의 절연막(47)을 증착한다.
- <44> 여기서, 절연막(47)은 산화막 계열의 물질막이 단층 또는 다층 구조로 형성된 것을 포함한다. 이러한 산화막 계열의 물질막은 BPSG막, LP(Low Pressure)-TEOS막, PE(Plasma Enhanced)-TEOS막, PSG막 또는 BSG막 등을 포함한다.
- <45> 이어서, 셀영역(41) 만을 가리도록 주변회로영역(42) 오픈 마스크(도시하지 않음)를 형성한 다음, 주변회로영역(42) 오픈 마스크를 식각마스크로 주변회로영역(42)의 절연막(47)과 하드마스크(44)를 제거한 다음, 포토레지스트 스트립(Photo resist strip) 공정을 실시하여 주변회로영역(42) 오픈 마스크를 제거한다.
- <46> 전면에 전도성 물질을 얇게 증착한 다음, 전면식각을 실시하여 주변회로영역(42)과 인접하는 셀영역(41)의 절연막(47) 측벽과 주변회로영역(42) 측벽에 전도성 스페이서(48)를 형성한다.
- <47> 점선으로 표시된 부분은 전면식각시 제거된 전도성 물질막을 나타내는 바, 도 4b는 주변회로영역(42)과 인접하는 셀영역(41)의 절연막(47) 측벽과 주변회로영역(42) 측벽에 전도성 스페이서(48)가 형성된 공정 단면을 나타낸다.

- <48> 따라서, 주변회로영역(42)에서는 전도성 스페이서(48)로 인해 전도성 스페이서(48) 만큼 그 선폭이 증대된 효과를 얻을 수 있다.
- <49> 여기서, 전도성 물질은 TiN, TaN, W 또는 WN 등을 포함한다.
- <50> 전면에 포토레지스트를 도포한 다음, 사진 공정을 통해 셀콘택을 위한 마스크인 포토레지스트 패턴(49)을 형성한 후, 이를 식각마스크로 셀영역(41)에서 라인 패턴(46a) 사이의 기판(40) 구체적으로, 기판(40) 상에 형성된 전도층 또는 불순물 접합층을 노출시키는 셀콘택홀(50)을 형성한다. 도 4c는 셀 콘택홀(50)이 형성된 공정 단면을 나타낸다.
- <51> 셀 콘택홀(50)을 매립하도록 플러그 형성용 전도성 물질을 증착한 다음, 평탄화 공정을 실시하여 절연막((47) 사이에 매립되며 기판(40)에 콘택된 플러그(47)를 형성한 후, 포토레지스트 패턴(49)을 제거한다.
- <52> 이어서, 셀영역(41)에서 캐패시터(51) 형성 공정을 실시하는 바, 그 구체적인 형성 공정은 생략한다. 한편 본 실시예에서는 오목형 캐패시터가 형성되어 있다.
- <53> 전술한 바와 같은 셀영역(41)에서의 캐패시터(51) 형성시 주변회로영역(42)에서는 그 두께가 10000 Å 이상인 절연막(50)이 형성되며, 절연막(50)은 HDP 산화막, BSG막, BPSG막 또는 PSG막 등이 다층 구조로 형성된 것을 포함한다.
- <54> 절연막(50) 상에 포토레지스트를 도포한 다음, ArF 또는 KrF 등의 노광원을 이용한 사진식각 공정을 통해 주변회로영역(42)에서 라인 패턴(46)의 파워 라인 연결을 위해 콘택홀 예컨대, 비아홀 형성을 위한 포토레지스트 패턴(52)을 형성한다.

<55> 이상에서 살펴보는 본 발명의 일실시예에서는 콘택홀 형성을 위한 평면적으로 T형 포토레지스트 패턴(52)을 그 예로 하며, 이러한 T형의 패턴 형상 이외에 평면적으로 바(Bar)형 또는 원형 등의 다양한 형태에도 적용이 가능하다.

<56> 이어서, 포토레지스트 패턴(52)을 식각마스크로 절연막(50)을 식각하여 라인 패턴(46b)의 전도층(43)을 노출시키는 깊은 콘택홀(53)을 형성한다.

<57> 한편, 본 실시예에서는 주변회로영역(42)에서 라인 패턴(46b)의 측벽에 전도성 스페이서(48)를 형성하기 때문에 라인 패턴(46b)의 실질적인 폭은 전도성 스페이서(48) 두께의 2배에 해당하는 만큼 증가한다. 따라서, 깊은 콘택홀(53) 형성을 위한 포토레지스트 패턴(52)의 사진 공정시 오정렬이 발생하더라도 도면부호 '54'에 도시된 바와 같이, 전도성 스페이서(48)로 인해 후속 콘택 면적은 감소하지 않아 콘택 저항의 증가를 방지할 수 있다.

<58> 전술한 바와 같이 이루어지는 본 발명은, 반도체 메모리 장치에서 셀영역에 비해 주변회로영역에서의 라인과 스페이스의 비를 스페이스의 비가 크도록 하여 패턴 밀도를 느슨하게 함으로써, 라인 패턴 식각에 따른 브릿지를 방지할 수 있다.

<59> 또한, 주변회로영역의 라인 패턴 상부의 하드마스크를 제거하고 그 측벽에 전도성 스페이서를 형성함으로써, 주변회로영역에서 깊은 콘택홀 형성시 오정렬이 발생하더라도 스페이서 두께의 2배에 해당하는 만큼 증가된 주변회로영역의 라인 패턴의 폭으로 인해 콘택 저항의 증가를 방지할 수 있음을 실시예를 통해 알아 보았다.

<60> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 【발명의 효과】

<61> 상술한 바와 같은 본 발명은, 주변회로영역에서의 라인 패턴 형성에 따른 라인 패턴 간의 브릿지를 방지하고, 깊은 콘택홀 형성시 오정렬에 따른 콘택 저항의 증가를 방지할 수 있어 궁극적으로, 반도체 소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대 할 수 있다.

**【특허청구범위】****【청구항 1】**

셀영역;

상기 셀영역에 인접한 주변회로영역; 및

상기 셀영역 및 상기 주변회로영역에 형성된 복수의 라인 패턴

을 포함하며,

상기 주변회로영역에서 상기 라인 패턴의 폭과 상기 라인 패턴 간의 거리의 비가

1:1.05 내지 1:1.30인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 셀영역에서의 상기 라인 패턴의 폭과 상기 라인 패턴 간의 거리의 비가 1:1인

것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제 1 항에 있어서,

상기 셀영역에서의 라인 패턴의 폭과 상기 주변회로영역에서의 라인 패턴의 폭의

비는 1:1 내지 1:1.3인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 4】**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,  
상기 라인 패턴은 전도성 패턴인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제 4 항에 있어서,  
상기 라인 패턴은 비트라인 패턴인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

셀영역과 주변회로영역을 갖는 반도체 메모리 장치의 제조 방법에 있어서,  
상기 셀영역 및 상기 주변회로영역에 전도층과 절연성 하드마스크가 적층된 복수  
의 라인 패턴을 형성하는 단계;  
상기 주변회로영역의 상기 절연성 하드마스크를 제거하는 단계;  
상기 절연성 하드마스크가 제거된 상기 주변회로영역의 라인 패턴 측벽에 전도성  
스페이서를 형성하는 단계;  
상기 복수의 라인 패턴을 포함하는 기판 전면에 절연막을 형성하는 단계;  
상기 절연막 상에 상기 주변회로영역의 상기 전도층을 노출시키는 콘택홀을 형성  
하기 위한 포토레지스트 패턴을 형성하는 단계; 및  
상기 포토레지스트 패턴을 식각마스크로 상기 절연막을 식각하여 상기 전도층을 노  
출시키는 깊은 콘택홀을 형성하는 단계

를 포함하는 반도체 메모리 장치 제조 방법.

#### 【청구항 7】

제 6 항에 있어서,

상기 주변회로영역에서 상기 라인 패턴의 폭과 상기 라인 패턴 간의 거리의 비가 1:1.05 내지 1:1.30인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 셀영역에서의 상기 라인 패턴의 폭과 상기 라인 패턴 간의 거리의 비가 1:1인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

#### 【청구항 9】

제 6 항에 있어서,

상기 셀영역에서의 라인 패턴의 폭과 상기 주변회로영역에서의 라인 패턴의 폭의 비는 1:1 내지 1:1.3인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

#### 【청구항 10】

제 6 항에 있어서,

1020020084154

출력 일자: 2003/5/15

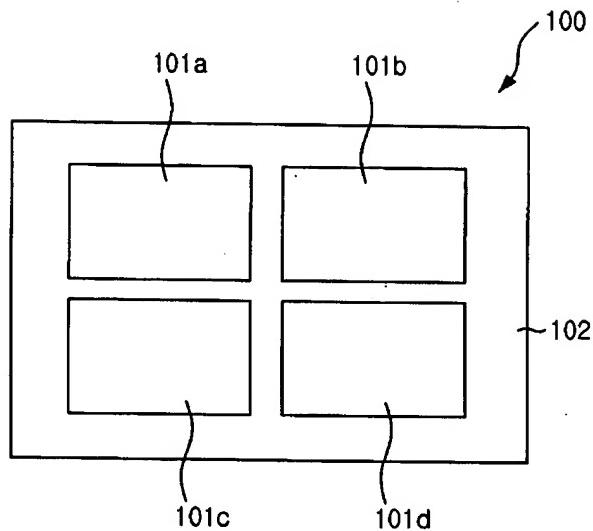
상기 전도성 스페이서는 TiN, TaN, W 또는 WN 중 어느 하나의 물질을 포함하는 것  
을 특징으로 하는 반도체 메모리 장치 제조 방법.

1020020084154

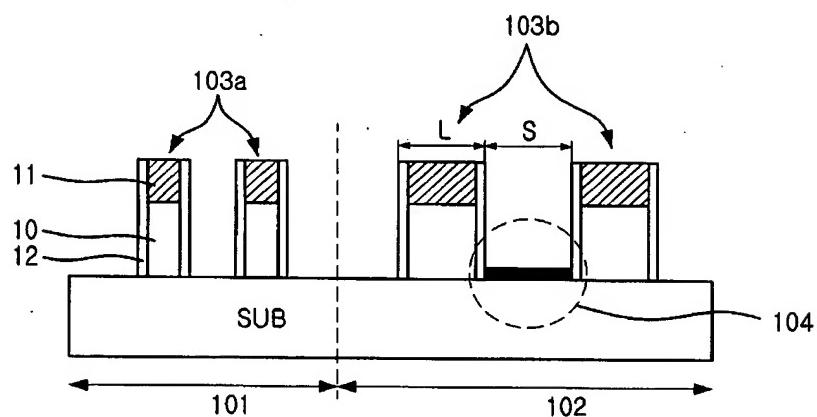
출력 일자: 2003/5/15

【도면】

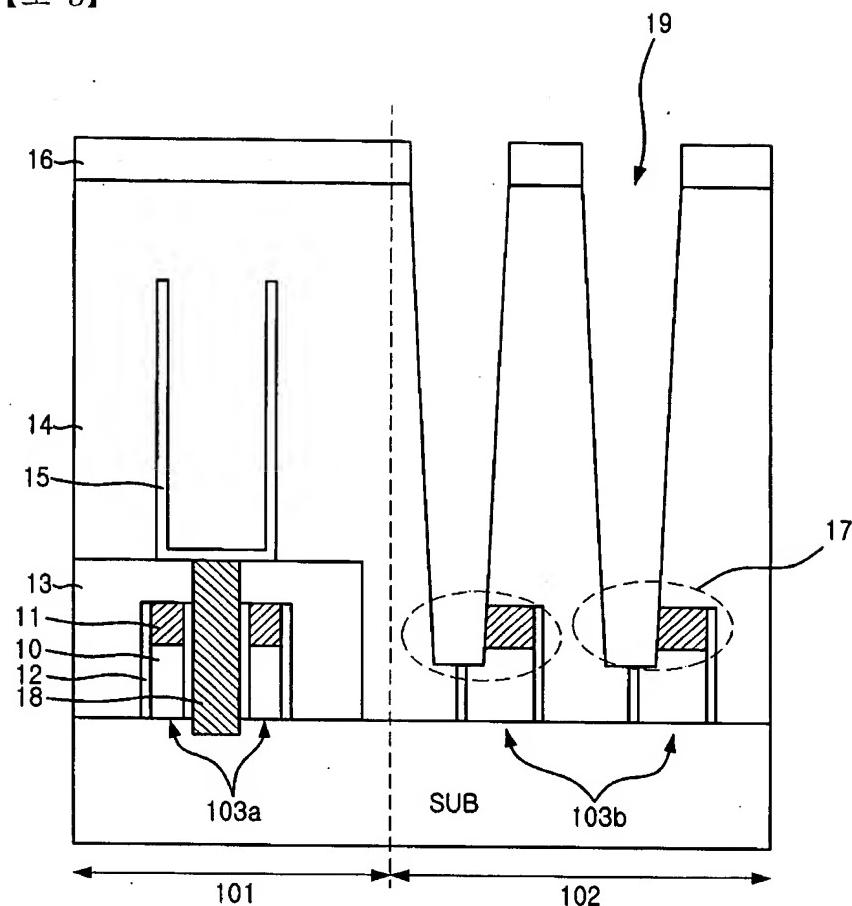
【도 1】



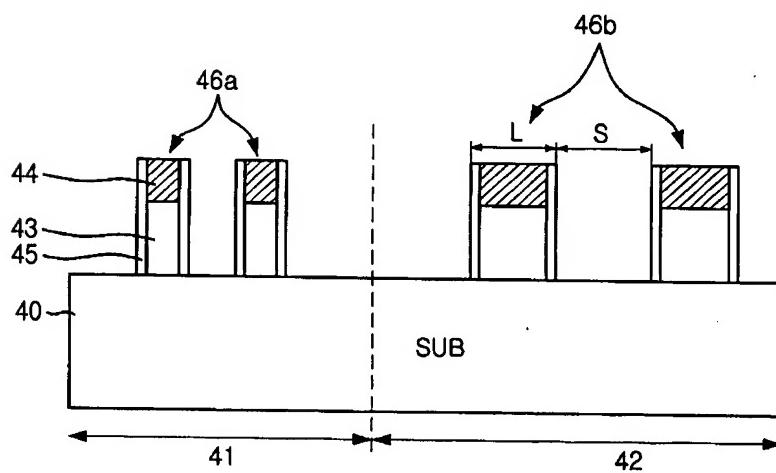
【도 2】



【도 3】



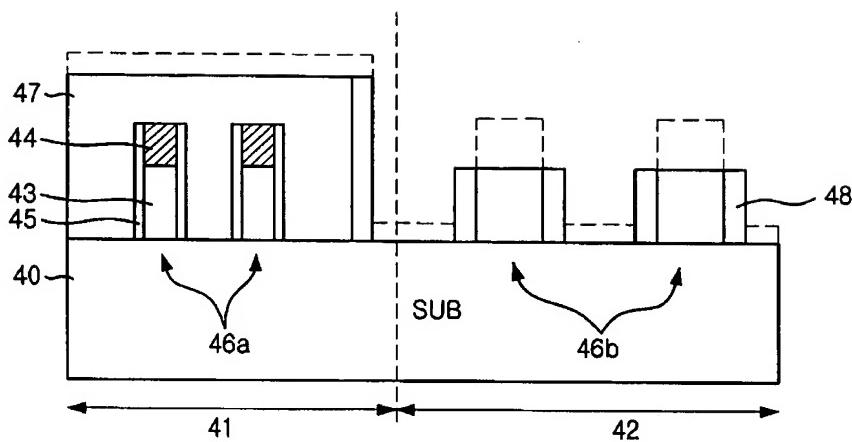
【도 4a】



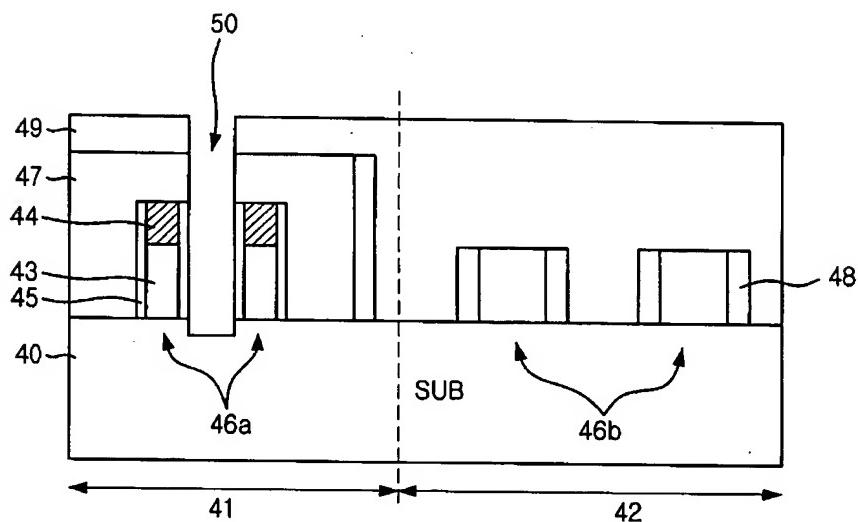
1020020084154

출력 일자: 2003/5/15

【도 4b】



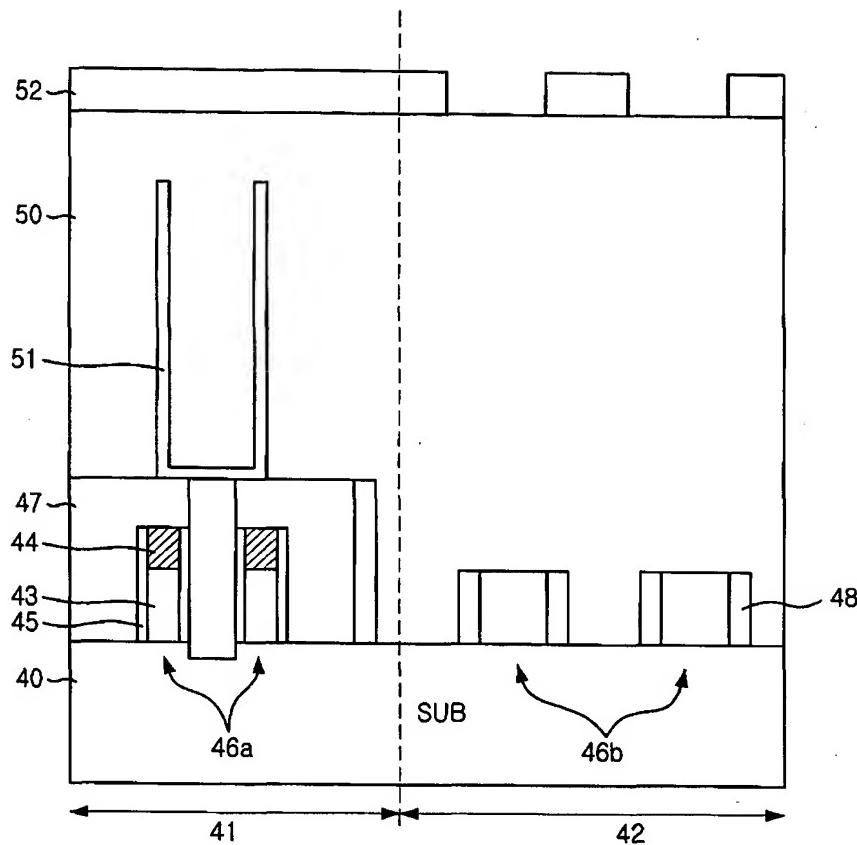
【도 4c】



1020020084154

출력 일자: 2003/5/15

【도 4d】



1020020084154

출력 일자: 2003/5/15

【도 4e】

